**时钟大设计实验报告**

**18342138 郑卓民 软工四班**

**内容总览：**

1. **实验十九 利用MSI设计时序逻辑电路——六十进制计数器的实现**
   1. **预习报告**
   2. **实验报告**
      1. **实验目的、实验器材、实验原理**
      2. **实验内容：**
2. **用集成计数器74LS160分别组成8421码十进制和六进制计数器。**
   * 1. **实验总结；**
3. **实验二十 利用MSI设计时序逻辑电路——时钟的实现**
   1. **预习报告**
   2. **实验报告**
      1. **实验目的、实验器材、实验原理**
      2. **实验内容：**
4. **设计一个具有正常计数与调时功能的时钟。**
   * 1. **实验总结；**

**实验十九 利用MSI设计时序逻辑电路**

**——六十进制计数器的实现**

**18342138 郑卓民 软工四班**

**实验报告**

**实验目的：**

1. 熟悉中规模集成电路计数器的功能及应用
2. 熟悉中规模集成电路译码器的功能及应用
3. 熟悉LED数码管及显示电路的工作原理
4. 学会综合测试的方法

**实验仪器和器件：**

1. 实验箱、万用表、示波器
2. 74LS160、74LS48、74LS20

**实验原理：**

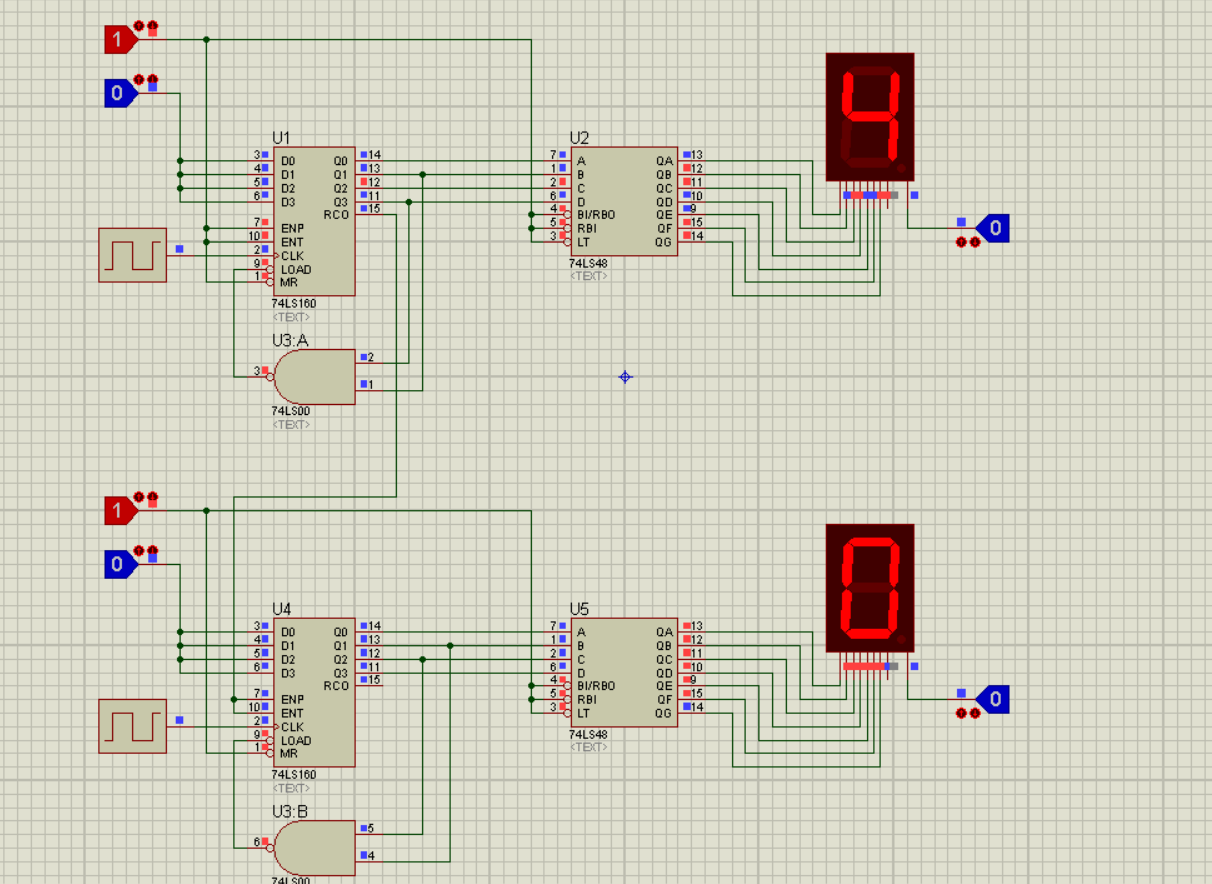
对于计数规模小的计数器我们使用集成触发器来设计计数器，但是如果计数器的模数达到十六个以上（如六十进制）时，如果还是用集成触发器来设计的话，电路就比较复杂，在这种情况下，我们可以用集成计数器来构成任意进制计数器，利用集成计数器的清零端核置数端实现归零，从而构成按自然态序进行计数的N进制计数器的方法

1. 用同步清零端或置数端置零或置数构成N进制计数器
   1. 写出状态Sn-1的二进制代码
   2. 求归零逻辑，即求同步清零端或置数控制端信号的逻辑表达式
   3. 画连线图
2. 用异步清零端或置数端置零或置数构成N进制计数器
   1. 写出状态Sn的二进制代码
   2. 求归零逻辑，即求异步清零端或置数控制端信号的逻辑表达式
   3. 画连线图

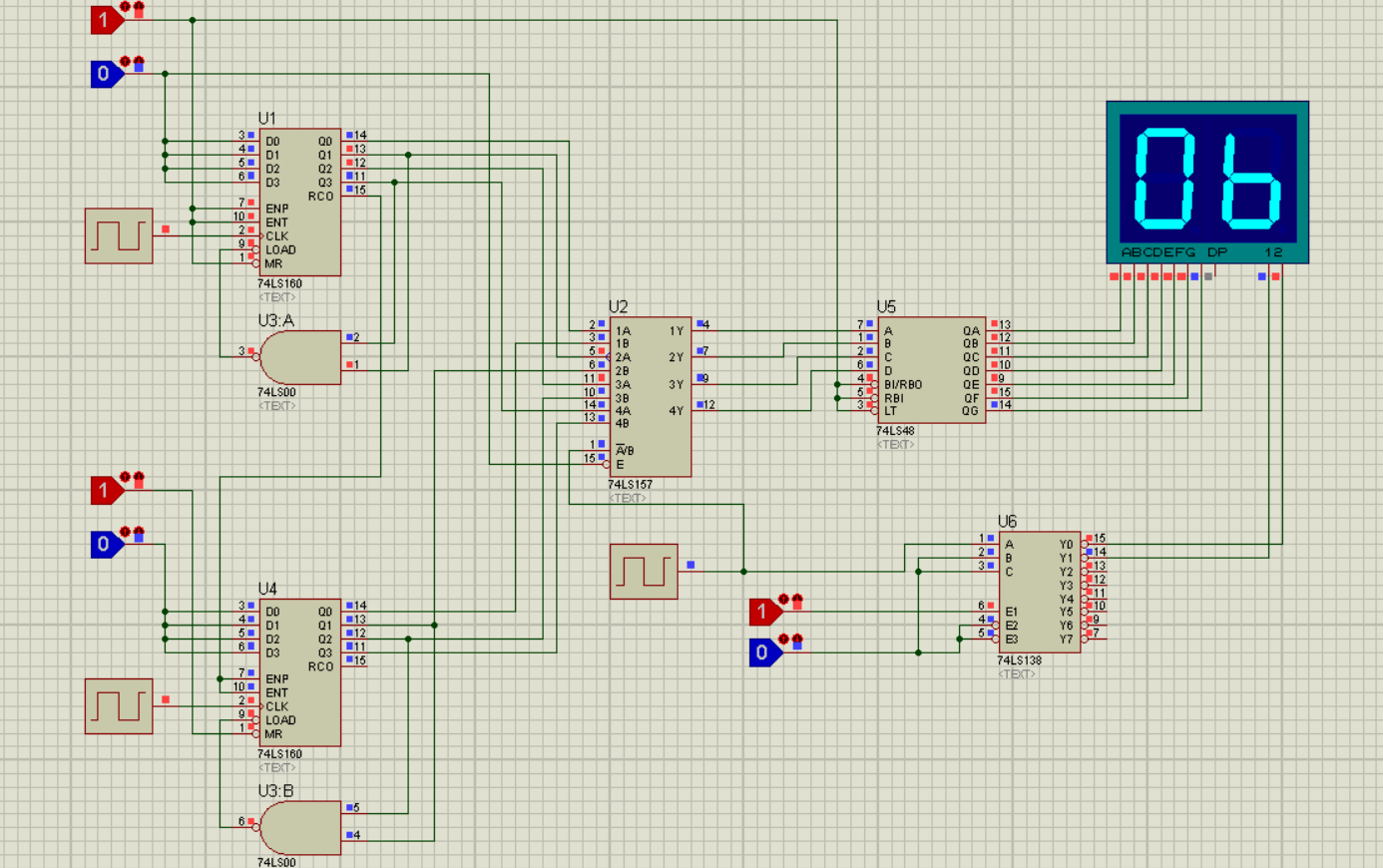
**实验内容：**

1. 用集成计数器74LS160分别组成8421码十进制和六进制计数器，然后连接成一个六十进制计数器（六进制为高位、十进制为低位），使用实验箱上的LED译码显示电路显示（注意高低位顺序及最高位的处理）。用函数发生器的低频连续脉冲（调节频率为1-2HZ）作为计数器的计数脉冲，通过数码管观察计数、译码、显示电路的功能是否正常。

Proteus分别实现十进制计数器和六进制计数器并级联在一起：

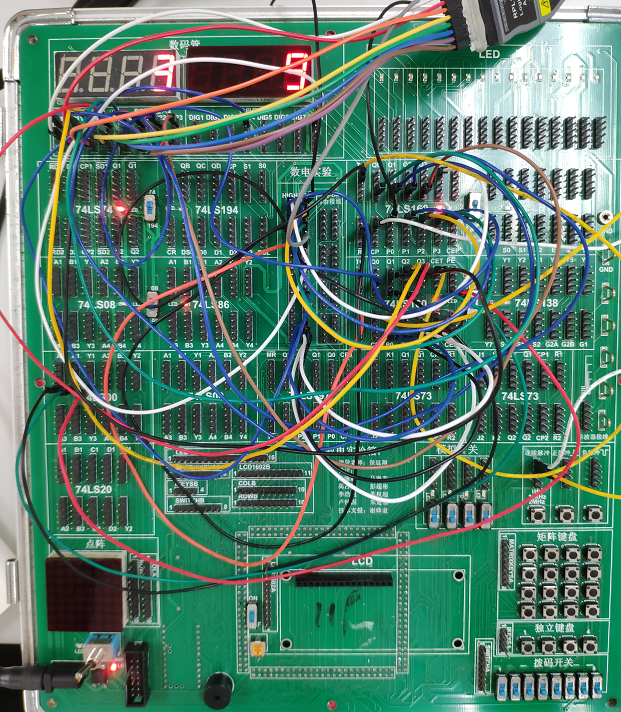


尝试使用选择器实现在一个两位七段数码管上显示六十进制计数器的循环：

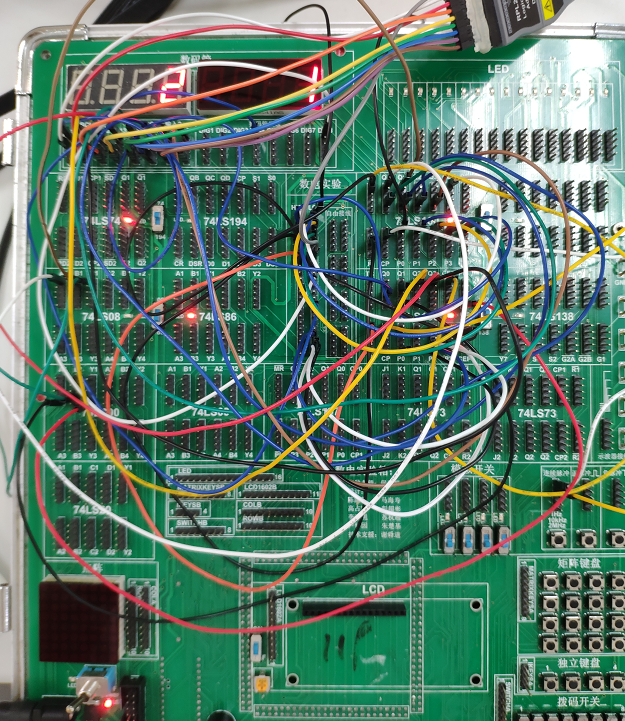


实验箱连线以及数码管显示：

六十进制：



二十四进制：



**实验总结：**

1. 本次实验是时钟大设计前的准备工作，学习了利用74LS160实现六十进制计数器和二十四进制计数器。

**实验二十 利用MSI设计时序逻辑电路**

**——时钟的实现**

**18342138 郑卓民 软工四班**

**实验报告**

**实验目的：**

1. 熟悉中规模集成电路计数器的功能及应用。
2. 熟悉中规模集成电路译码器的功能及应用。
3. 熟悉LED数码管及显示电路的工作原理。
4. 学会综合测试的方法。

**实验仪器和器件：**

1. Proteus

**实验内容：**

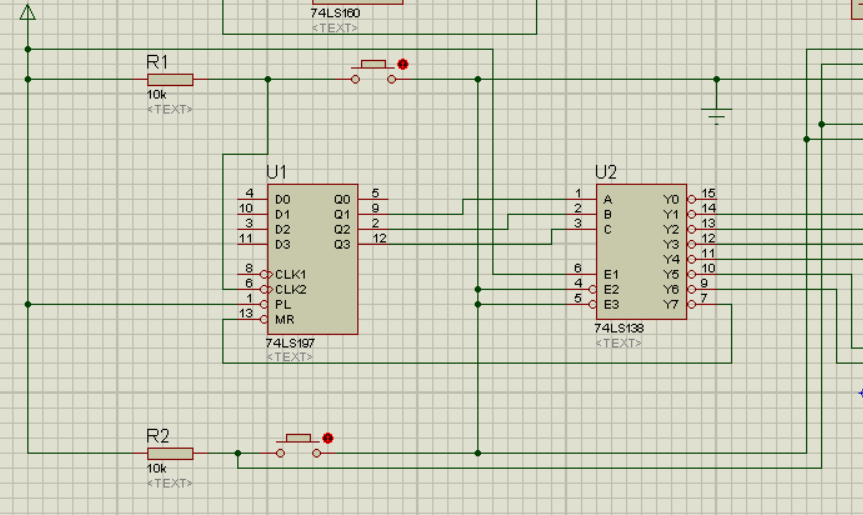
设计一个具有年月日时分秒的时钟。

设计时钟具有以下功能：  
1.模式（状态）选择：选择稳定状态或者调数状态（其中包括年月日分时秒六个位置），对应选择位置呈闪烁状态。

1. 调数按钮：选择了对应位置之后，按按钮可以使位数加一。
2. 正常显示在七段数码管上。

模式选择上，我们知道有七个状态，一个稳定状态和六个非稳定状态，故可以利用74ls197和74ls138来实现状态的切换，其中74ls197时钟输入端我们利用按钮来实现手动的上升沿，从而实现按一下输出加一的功能。此外，74ls197的输出端需要接入74ls138，

从而选择对应的位置。

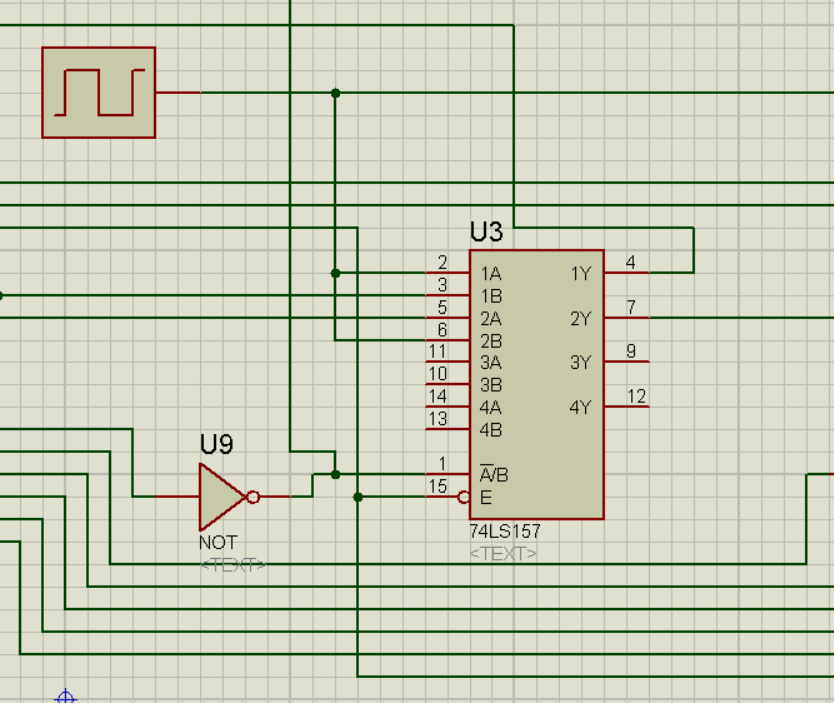


其中上方的按钮为模式选择按钮，按一下产生一个下降沿来驱动197输出加一。

下方按钮用途为加数功能，产生一个上升沿。

此外，对于计数器的时钟输入，我们也通过选择器来实现时钟输入还是按钮产生上升沿来输入，从而实现稳定状态和调整状态，选择器利用74ls157二选一选择器，并且可以利用74ls138的输出端连接74ls157的控制端实现模式的切换。

以下为其中一个位的选择器74ls157：



Y1为连接进入74ls160的时钟输入端

Y2为连接对应数码管的位选端口

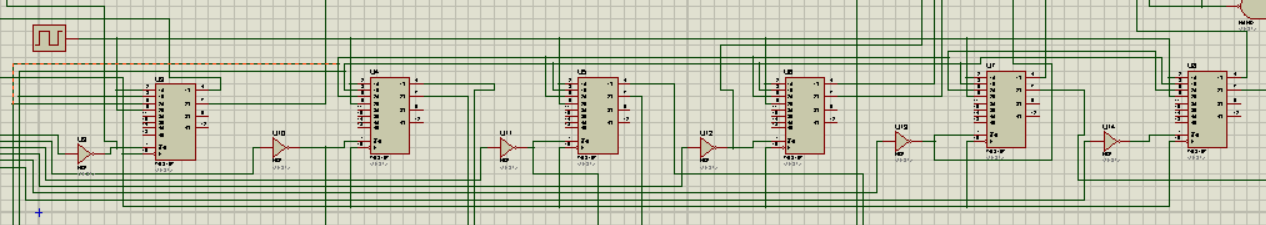
其中A1和B2连接1Hz的时钟，B1和A2连接上面所说的下方按钮。

稳定状态时候：160的时钟输入为1Hz时钟，位选端口为低电平。

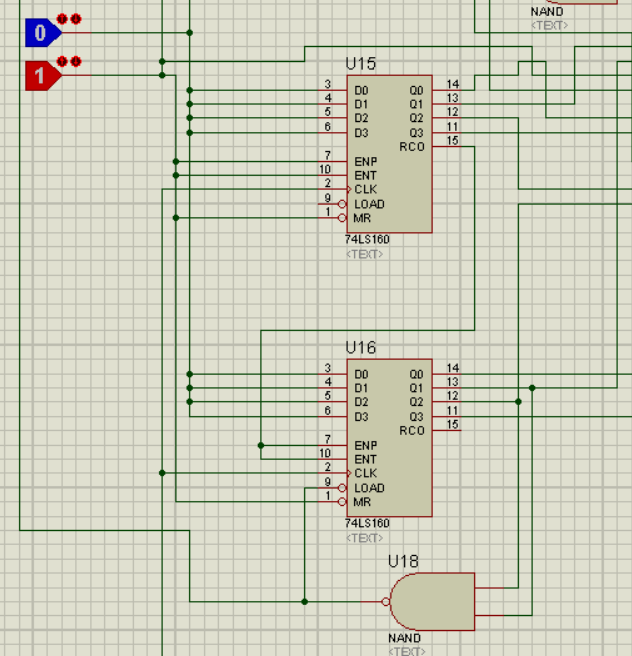
调整状态时候：160的时钟输入为按钮，位选端口为1Hz的时钟。

因此，可以实现没选择对应位置时候，稳定计数，选择了对应位置之后，对应位置闪烁，并且按按钮可以实现数字加一。

六个位置的选择器图：

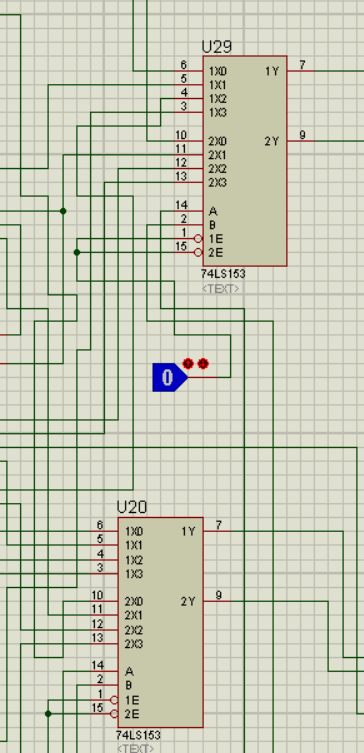


计数功能上：利用74ls160来实现六十进制或者十二进制或者二十四进制，连接线路差别不大，以下只展示一种连线方法：

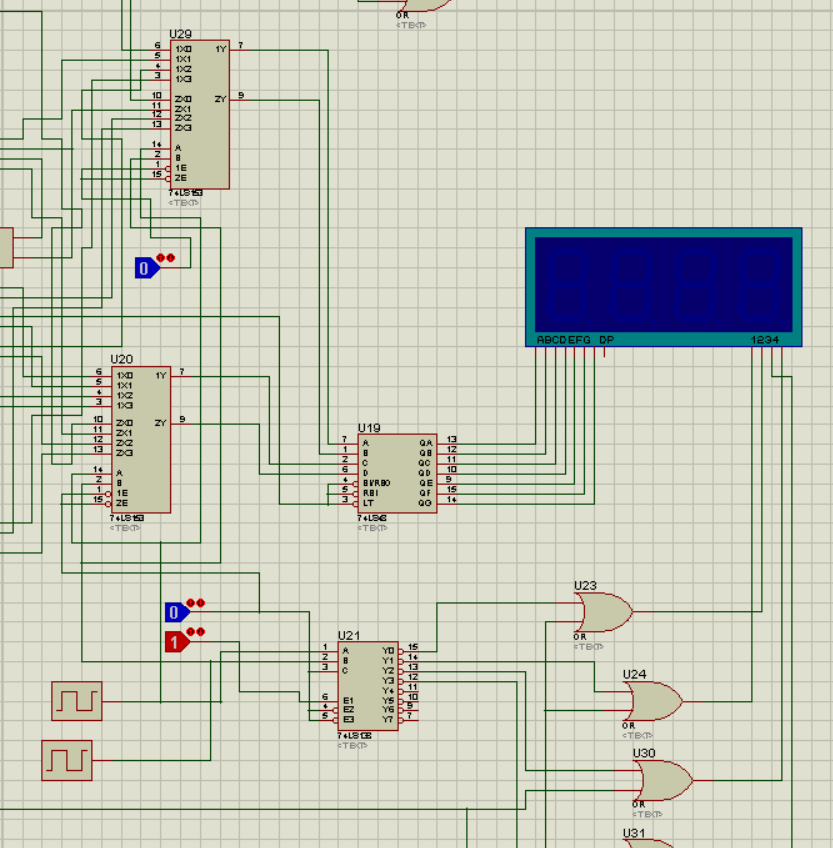


主要利用与非门来实现对应位置的并行送数。

数码管显示方面：需要利用74ls153四选一选择器以及74ls48译码器，使用选择器是为了在四位的数码管上对应显示数字



其中同时利用了74ls138来实现位置选择数值：

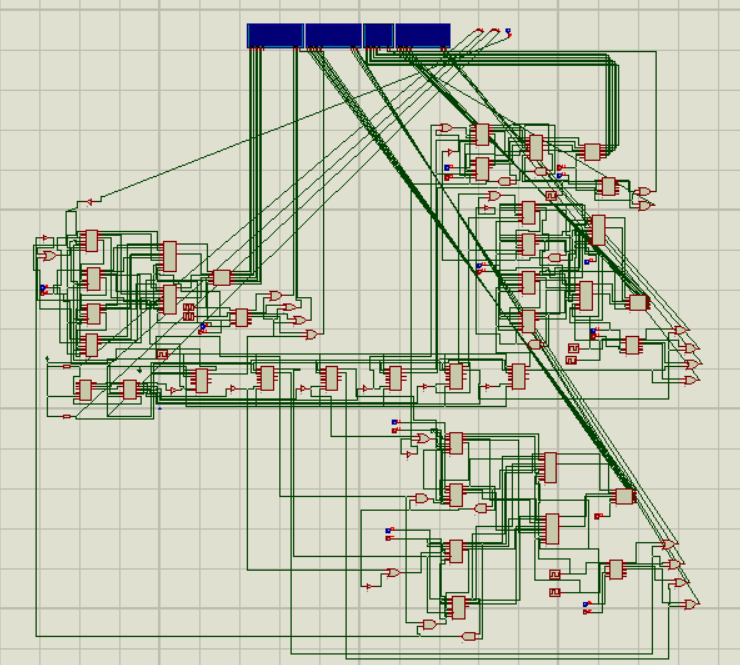


时钟的功能已基本实现，为更符合实际，添加置数按键，将起始时间设置为2019年6月24日，否则起始位置为0年0月0日。

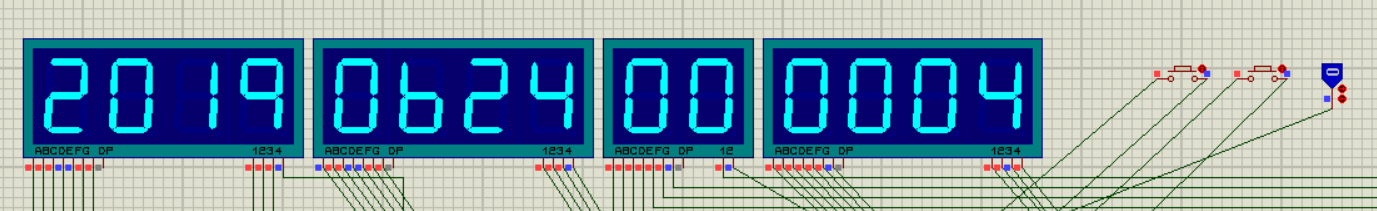
其中主要利用了74ls160的置数功能。

时钟设计到此结束，以下为效果图：

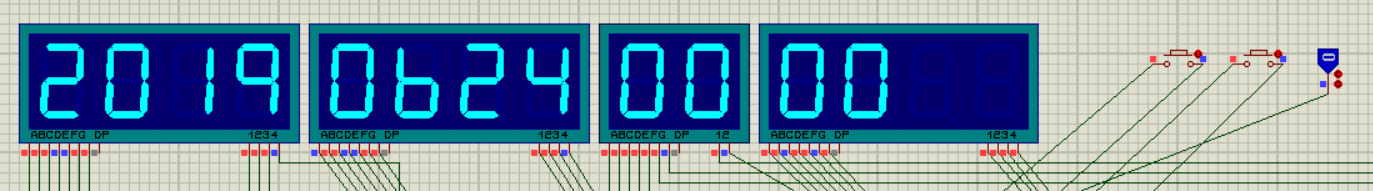
整体效果：

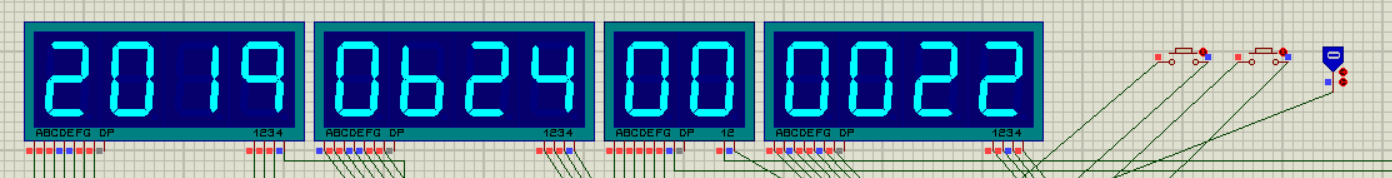


数码管细节图：



调整状态（闪烁）：





**实验总结：**

通过本次时钟大设计结束了数电实验课，设计过程主要利用自顶向下思修，将整体时钟分为几大功能，再针对对应的功能细化需要实现的小功能并选择对应的MSI，其中利用到的原理均为这学期课程中的内容，例如计数器、七段数码管、扫描显示、位置选择数值等等，总体实现基本为局部的重复，所以设计好一个位置之后后续的设计就不困难了。